

PAT-NO: JP411096765A

DOCUMENT-IDENTIFIER: JP 11096765 A

TITLE: SEMICONDUCTOR MEMORY

PUBN-DATE: April 9, 1999

INVENTOR-INFORMATION:

NAME	COUNTRY
MORIKAWA, KOICHI	N/A

ASSIGNEE-INFORMATION:

NAME	COUNTRY
OKI ELECTRIC IND CO LTD	N/A

APPL-NO: JP09256691

APPL-DATE: September 22, 1997

INT-CL (IPC): G11C011/41

ABSTRACT:

PROBLEM TO BE SOLVED: To prevent a malfunction in an 8W1R multi-port memory by reducing a skew of a timing clock.

SOLUTION: The 8W1R multi-port memory as this device is constituted so as to be provided with a phase-locked loop circuit 110 generating an internal clock, a timing generator 107 generating the timing clock  $\Phi$ , by using the internal clock, the timing generator 109 generating the timing clock  $\Phi$ , by using the internal clock, a read address generator 103 outputting a read address according to the timing clock  $\Phi$ , and a latch circuit 104b for read address latching the read address according to the timing clock  $\Phi$ . In such a case, a wiring length between the timing generator 109 and the latch circuit 104b for read address is equalized substantially with the wiring length between the timing generator 107 and the latch circuit 104b for read address.

COPYRIGHT: (C)1999,JPO

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平11-96765

(43)公開日 平成11年(1999)4月9日

(51)  $\text{IntCl}^s$

識別記号

FI

**G 1 1 C 11/41**

**G 1 1 C 11/34**

345

審査請求 未請求 請求項の数8 OL (全 9 頁)

(21)出願番号 特願平9-256691

(22)出願日 平成9年(1997)9月22日

(71) 出題人 000000295

沖電気工業株式会社

東京都港区虎ノ門1丁目7番12号

(72)発明者 森川 剛一

東京都港区虎ノ門1丁目7番12号 沖電気  
工業株式会社内

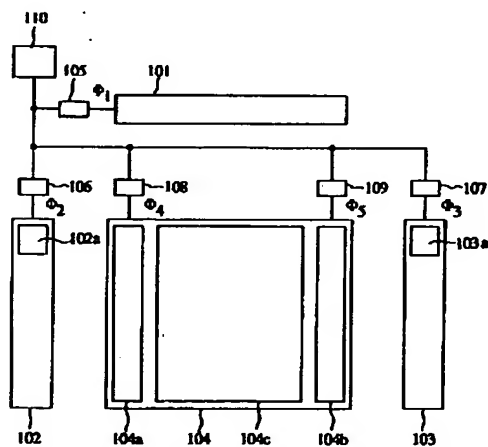
(74) 代理人 弁理士 大垣 孝

(54) 【発明の名称】 半導体記憶装置

(57) 【要約】

【課題】 タイミングクロックのスキューを低減して8W1Rマルチポートメモリの誤動作を防止する。

【解決手段】 内部クロックを生成するフェイズ・ロックス・ループ回路110と、内部クロックを用いてタイミングクロックΦ<sub>3</sub>を生成するタイミングジェネレータ107と、内部クロックを用いてタイミングクロックΦ<sub>5</sub>を生成するタイミングジェネレータ109と、タイミングクロックΦ<sub>3</sub>に従ってリードアドレスを出力するリードアドレスジェネレータ103と、タイミングクロックΦ<sub>5</sub>に従ってリードアドレスをラッチするリードアドレス用ラッチ回路104bとを備えた8W1Rマルチポートメモリにおいて、タイミングジェネレータ109とリードアドレス用ラッチ回路104bとの配線長が、タイミングジェネレータ107とリードアドレス用ラッチ回路104bとの配線長に、実質的に等しい。



101 : 多重回路形成領域  
102 : ライトアドプシユネレータ形成領域  
102a : フラッシュ形成領域  
103 : リードアドプシユネレータ形成領域  
103a : フラッシュ形成領域  
104 : メモリコア形成領域  
104a,104b : フラッシュ形成領域  
104c : メモリセルアレイ形成領域  
105~109 : クロック生成回路形成領域  
110 : PLL回路形成領域

### 第1の実施の形態の構成図

1

## 【特許請求の範囲】

【請求項1】 内部クロックを生成するフェイズ・ロックド・ループ回路と、前記内部クロックを用いて第1のタイミングクロックを生成する第1のタイミングジェネレータと、前記内部クロックを用いて第2のタイミングクロックを生成する第2のタイミングジェネレータと、前記第1のタイミングクロックに従って信号を出力する信号出力回路と、前記第2のタイミングクロックに従って前記信号をラッチするラッチ回路とを備えた半導体記憶装置において、

前記第2のタイミングジェネレータと前記ラッチ回路との配線長が、前記第1のタイミングジェネレータと前記信号出力回路との配線長に、実質的に等しいことを特徴とする半導体記憶装置。

【請求項2】 前記信号出力回路がリードアドレス信号を生成して出力するリードアドレスジェネレータであり、且つ、前記ラッチ回路が前記メモリコア内に設けられたリードアドレス用ラッチ回路であることを特徴とする請求項1に記載の半導体記憶装置。

【請求項3】 前記信号出力回路がライトアドレス信号を生成して出力するライトアドレスジェネレータであり、且つ、前記ラッチ回路が前記メモリコア内に設けられたライトアドレス用ラッチ回路であることを特徴とする請求項1に記載の半導体記憶装置。

【請求項4】 前記信号出力回路が書込要求信号を多重化する書込要求信号多重回路であり、且つ、前記ラッチ回路がライトアドレスジェネレータ内に設けられた書込要求信号用ラッチ回路であることを特徴とする請求項1に記載の半導体記憶装置。

【請求項5】 前記信号出力回路が書込要求信号を多重化する書込要求信号多重回路であり、且つ、前記ラッチ回路がメモリコア内に設けられた書込要求信号用ラッチ回路であることを特徴とする請求項1に記載の半導体記憶装置。

【請求項6】 前記信号出力回路が入力データ信号を多重化する入力データ信号多重回路であり、且つ、前記ラッチ回路がメモリコア内に設けられた入力データ信号用ラッチ回路であることを特徴とする請求項1に記載の半導体記憶装置。

【請求項7】 フェイズ・ロックド・ループ回路と前記第2のタイミングジェネレータとの配線長が、このフェイズ・ロックド・ループ回路と前記第1のタイミングジェネレータとの配線長に、実質的に等しいことを特徴とする請求項1～6のいずれかに記載の半導体記憶装置。

【請求項8】 マトリクス状に配置されたメモリセルを有するメモリセルアレイと、このメモリセルに接続されたビット線の電位を増幅するセンスアンプと、前記メモリセルアレイに供給するビット線電位を決定するための第3のタイミングクロックを生成する第3のタイミングジェネレータと、前記センスアンプを動作させるための

2

第4のタイミングクロックを生成する第4のタイミングジェネレータとを備えた半導体記憶装置において、前記第3のタイミングクロックの信号値と前記第4のタイミングクロックの反転信号値との論理積を前記ビット線電位として前記メモリセルアレイに供給するビット線電位生成回路をさらに備えたことを特徴とする半導体記憶装置。

## 【発明の詳細な説明】

【0001】

10 【発明の属する技術分野】この発明は、半導体記憶装置に関するものであり、より詳細には、タイミングクロックのスキューに起因する誤動作を防止するための手段を有する半導体記憶装置に関するものである。

【0002】

【従来の技術】従来の半導体記憶装置について、例えば出力バッファ型ATM (Asynchronous Transfer Mode) スイッチのバッファメモリ等として使用される、8W1Rマルチポートメモリを例にとりて説明する。

【0003】8W1Rマルチポートメモリは、PLL搭載メモリの一種である。すなわち、この8W1Rマルチポートメモリでは、PLL (Phase-Locked Loop) 回路で内部クロックが生成され、さらに、タイミングジェネレータで内部クロックから複数種類のタイミングクロックが生成されて、これらのタイミングクロックによりメモリセルアレイや各周辺回路等が駆動される。

【0004】

【発明が解決しようとする課題】以下、従来の8W1Rマルチポートメモリの構成例について、図6～図9を用いて説明する。

【0005】図6は、従来の8W1Rマルチポートメモリの構成を概略的に示すブロック図である。

【0006】同図において、入力データ信号多重回路601、602は、4個の入力ポートと1個の出力ポートとを備えている。各ポートは、それぞれ、各nビット（例えばn=54）のデータWDI0～WDI7を入力し、或いは、各nビットのデータWDO、WD1を出力する。これら入力データ信号多重回路601、602の入力タイミングおよび出力タイミングは、タイミングクロック $\Phi_1$ によって与えられる。

40 【0007】一方、書込要求信号多重回路603、604は、4個の入力ポートと1個の出力ポートとを備えており、各ポートはそれぞれ1ビットのデータを入力或いは出力する。これら書込要求信号多重回路603、604の各ポートの入力タイミングおよび出力タイミングも、タイミングクロック $\Phi_1$ によって与えられる。

【0008】ライトアドレスジェネレータ605は、タイミングクロック $\Phi_2$ に従って書込要求信号多重回路603、604の出力信号を入力し、かかる信号を入力するたびに内部のアップカウンタ（図示せず）を「1」ずつカウントアップして、この計数値をライトアドレス信

50

号WAとして出力する。また、このアップカウンタは、外部から入力されるリセット信号RSTによってリセットされる。

【0009】リードアドレスジェネレータ606は、タイミングクロック $\Phi_3$ を入力するたびに内部のアップカウンタ（図示せず）の計数値を「1」ずつカウントアップし、この計数値をリードアドレス信号RAとして出力する。また、このアップカウンタは、上述のリセット信号RSTによってリセットされる。

【0010】メモリア607は、入力データ信号多重回路601、602が出力した入力データWD1、WD0、書込要求信号多重回路603、604が出力した書込要求信号WE0、WE1、および、ライトアドレスジェネレータ605が出力したmビットのライトアドレス信号WAを、それぞれ、タイミングクロック $\Phi_4$ に従って入力し、入力データWD0、WD1をメモリセルアレイ（図示せず）に記憶する。また、リードアドレスジェネレータ606が出力したmビットのリードアドレス信号RAをタイミングクロック $\Phi_5$ に従って入力して、メモリセルアレイの記憶データRDOを出力する。

【0011】タイミングジェネレータ608は、PLL回路609から入力された内部クロックを用いて、上述のタイミングクロック $\Phi_1 \sim \Phi_5$ を生成する。ここで、各タイミングクロック $\Phi_1 \sim \Phi_5$ は、タイミングジェネレータ608内の別個の回路（図示せず）でそれぞれ独立に生成される。

【0012】PLL回路609は、外部から入力されたクロック信号CLKを用いて内部クロックを生成する。

【0013】図7は、図6に示した8W1Rマルチポートメモリを半導体チップに搭載するときのレイアウトを示す概念図である。

【0014】同図において、多重回路形成領域701には、入力データ信号多重回路601、602および書込要求信号多重回路603、604が形成されている。また、ライトアドレスジェネレータ形成領域702、リードアドレスジェネレータ形成領域703、メモリア形成領域704、タイミングジェネレータ形成領域705およびPLL形成領域706には、それぞれ、ライトアドレスジェネレータ605、リードアドレスジェネレータ606、メモリア607、タイミングジェネレータ608およびPLL回路609が形成されている。

【0015】図8は、かかる8W1Rマルチポートメモリの書き込み動作を説明するためのタイミングチャートである。

【0016】同図に示したように、PLL回路609およびタイミングジェネレータ608によってクロック信号CLKからタイミングクロック $\Phi_1$ が生成される。そして、このタイミングクロック $\Phi_1$ に従って、nビット入力データWD17、WD15、WD13、WD11は入力データ信号多重回路601により、nビット入力デ

ータWD16、WD14、WD12、WD10は入力データ信号多重回路602により、また、書込要求信号WE17、WE15、WE13、WE11は書込要求信号多重回路603により、書込要求信号WE16、WE14、WE12、WE10は書込要求信号多重回路604により、それぞれ四多重される。すなわち、これらの各信号WD17~WD10、WE17~WE10の入力周波数をfとすると、入力データ信号多重回路601、602および書込要求信号多重回路603、604は、周波数fの4パラレル信号を周波数4fの1シリアル信号に時分割多重することになる。

【0017】そして、各信号WD17~WD10、WE17~WE10がメモリア607に入力され、また、これと同時に、書込要求信号WE17~WE10がライトアドレスジェネレータ605に入力される。そして、ライトアドレスジェネレータ605で生成されたライトアドレス信号WA(0)~WA(m)が順次メモリア607に入力されると、このメモリア607内のメモリセルアレイ（図示せず）に入力データWD17~WD10が順次書き込まれる。なお、このとき、ライトアドレスジェネレータ605から出力されるライトアドレス信号WA(0)~WA(m)は、内部ポートWE1、WE0共に書き込み要求がない場合をのぞいて、常にシーケンシャルアドレスである。

【0018】図9は、図6および図7に示した8W1Rマルチポートメモリの読み出し動作を説明するためのタイミングチャートである。

【0019】同図に示したように、PLL回路609およびタイミングジェネレータ608によってクロック信号CLKからタイミングクロック $\Phi_3$ が生成される。そして、このタイミングクロック $\Phi_3$ に従ってリードアドレスジェネレータ606が、周波数fのシーケンシャルアドレスとしてのリードアドレス信号RA(0)~RA(m)を順次生成する。メモリア607は、これらのリードアドレス信号RA(0)~RA(m)を順次入力し、内部のメモリセルアレイ（図示せず）に格納されたデータRDO(0)~RDO(m)を順次出力する。ここで、内部ポートWD0から書き込まれたデータの読み出し要求と内部ポートWD1で書き込まれたデータの読み出し要求とが共にあったときは、リードアドレス信号を一時的にホールドして、WD1、WD0の順に読み出し動作を行う。

【0020】このように、図6および図7に示した8W1Rマルチポートメモリでは、メモリア607としてはバリビットを付加したバッファ容量の疑似2W1Rマルチポートメモリを用い、2個の入力データ信号多重回路601、602を用いて書き込みデータを四多重することにより、8W1Rマルチポートメモリを構成し、最大8ポートの同時書き込みを実現している。また、PLL回路609を用いて内部クロックを生成することによ

り、高速クロックによる動作制御を行っている。

【0021】しかしながら、図6および図7に示した8W1Rマルチポートメモリでは、タイミングジェネレータ608で生成される各タイミングクロック $\Phi_1 \sim \Phi_5$ にスキューが発生して、内部信号に対する各タイミングクロック $\Phi_1 \sim \Phi_5$ のタイミングマージンが小さくなってしまうことや、各タイミングクロック $\Phi_1 \sim \Phi_5$ 間の重なりが発生してしまうことにより、メモリコア607が誤動作を起こしやすいという欠点があった。

【0022】なお、このような欠点は、図6および図7に示したような8W1Rマルチポートメモリに限られるものではなく、PLL回路等を搭載した高速の半導体記憶装置であれば生じ得るものである。

【0023】

【課題を解決するための手段】

(1) 第1の発明に係る半導体記憶装置は、内部クロックを生成するフェイズ・ロックド・ループ回路と、内部クロックを用いて第1のタイミングクロックを生成する第1のタイミングジェネレータと、内部クロックを用いて第2のタイミングクロックを生成する第2のタイミングジェネレータと、第1のタイミングクロックに従って信号を出力する信号出力回路と、第2のタイミングクロックに従って信号をラッチするラッチ回路とを備えた半導体記憶装置に関するものである。

【0024】そして、第2のタイミングジェネレータとラッチ回路との配線長が、第1のタイミングジェネレータと信号出力回路との配線長に、実質的に等しいことを特徴とする。

【0025】このような構成によれば、第1のタイミングクロックと第2のタイミングクロックと生じるスキューを低減することができるので、半導体記憶装置の誤動作を防止できる。

【0026】(2) 第2の発明に係る半導体記憶装置は、マトリクス状に配置されたメモリセルを有するメモリセルアレイと、このメモリセルアレイのビット線から取り込んだ読出データを外部に出力するセンスアンプと、メモリセルアレイに供給するビット線電位を決定するための第5のタイミングクロックを生成する第5のタイミングジェネレータと、センスアンプを動作させるための第6のタイミングクロックを生成する第6のタイミングジェネレータとを備えた半導体記憶装置に関するものである。

【0027】そして、第5のタイミングクロックの信号値と第6のタイミングクロックの反転信号値との論理積をビット線電位としてメモリセルアレイに供給するビット線電位生成部をさらに備えたことを特徴とする。

【0028】このような構成によれば、第5のタイミングクロックと第6のタイミングクロックとに生じるスキューに起因した半導体記憶装置の誤動作を防止できる。

【0029】

【発明の実施の形態】以下、この発明の実施の形態について、図面を用いて説明する。なお、図中、各構成成分の大きさ、形状および配置関係は、この発明が理解できる程度に概略的に示してあるにすぎず、また、以下に説明する数値的条件は単なる例示にすぎないことを理解されたい。

【0030】第1の実施の形態

以下、第1の発明に係る半導体記憶装置の実施の形態について、8W1Rマルチポートメモリを例に採り、図1および図2を用いて説明する。

【0031】ここで、この実施の形態では、8W1Rマルチポートメモリの電子回路的な構成は従来の場合(図6参照)と同様とし、レイアウトのみが従来の場合(図7参照)と異なる。

【0032】図1は、この実施の形態に係る8W1Rマルチポートメモリを半導体チップに搭載するときのレイアウトを示す概念図である。

【0033】同図において、多重回路形成領域101には、入力データ信号多重回路601、602および書込要求信号多重回路603、604が形成されている。

【0034】また、ライトアドレスジェネレータ形成領域102には、ライトアドレスジェネレータ605が形成される。また、このライトアドレスジェネレータ形成領域102内のラッチ形成領域102aには、書込要求信号用ラッチ回路(図6では図示せず)が形成される。

【0035】リードアドレスジェネレータ形成領域103には、リードアドレスジェネレータ606が形成される。また、このリードアドレスジェネレータ形成領域103内のラッチ形成領域103aには、書込要求信号用ラッチ回路(図6では図示せず)が形成される。

【0036】メモリコア形成領域104には、メモリコア607が形成される。また、このメモリコア形成領域104内のラッチ形成領域104aにはライトアドレス用ラッチ回路(図6では図示せず)が、ラッチ形成領域104bにはリードアドレス用ラッチ回路(図6では図示せず)が、メモリセルアレイ形成領域104cにはメモリセルアレイ(図6では図示せず)が、それぞれ形成される。

【0037】この実施の形態では、タイミングジェネレータ608を、各クロック生成回路ごとに分割して配置している。すなわち、図1に示したように、タイミングクロック $\Phi_1$ を生成するためのクロック生成回路(図6では図示せず)はクロック生成回路形成領域105に、タイミングクロック $\Phi_2$ を生成するためのクロック生成回路(図6では図示せず)はクロック生成回路形成領域106に、タイミングクロック $\Phi_3$ を生成するためのクロック生成回路(図6では図示せず)はクロック生成回路形成領域107に、タイミングクロック $\Phi_4$ を生成するためのクロック生成回路(図6では図示せず)はクロック生成回路形成領域108に、タイミングクロック $\Phi_5$

5 を生成するためのクロック生成回路(図6では図示せず)はクロック生成回路形成領域109に、それぞれ形成される。また、クロック生成回路形成領域105は多重回路形成領域101の近傍に、クロック生成回路形成領域106はライトアドレスジェネレータ形成領域102の近傍に、クロック生成回路形成領域107はリードアドレスジェネレータ形成領域103の近傍に、クロック生成回路形成領域108はラッチ形成領域104aの近傍に、クロック生成回路形成領域109はラッチ形成領域104bの近傍に、それぞれ配置されている。そして、クロック生成回路形成領域105と多重回路形成領域101との間の配線長、クロック生成回路形成領域106とライトアドレスジェネレータ形成領域102との間の配線長、クロック生成回路形成領域107とリードアドレスジェネレータ形成領域103との間の配線長、クロック生成回路形成領域108とラッチ形成領域104aとの間の配線長、クロック生成回路形成領域109とラッチ形成領域104bとの間の配線長は、それぞれ、実質的に等しく形成されている。

【0038】PLL回路形成領域110には、PLL回路609が形成される。そして、このPLL回路形成領域110と各クロック生成回路形成領域105~109との間の配線長は、それぞれ、実質的に等しく形成されている。

【0039】図2は、図1および図6に示した8W1Rマルチポートメモリの読み出し動作を説明するためのタイミングチャートである。

【0040】同図に示したように、リードアドレスジェネレータ606は、タイミングジェネレータ608(クロック生成回路形成領域107)から、タイミングクロック $\Phi_3$ を入力する。そして、このタイミングクロック $\Phi_3$ の立ち上がりタイミングで、リードアドレス信号RA(0)~RA(m)を順次出力する。

【0041】また、メモリコア607内のリードアドレス用ラッチ回路(ラッチ形成領域104b)は、タイミングジェネレータ608(クロック生成回路形成領域109)から、タイミングクロック $\Phi_5$ を入力する。そして、このタイミングクロック $\Phi_5$ の立ち上がりタイミングで、リードアドレス信号RA(0)~RA(m)を順次ラッチする。

【0042】ここで、図2に点線で示したように、例えばタイミングクロック $\Phi_5$ にスキューが発生して立ち上がりタイミングがずれた場合には、リードアドレス用ラッチ回路(ラッチ形成領域104b)のホールドタイムのタイミングマージンが $\Delta t_1$ に減少するため、メモリコアが誤動作しやすくなる。

【0043】これに対して、この実施の形態に係る8W1Rマルチポートメモリでは、クロック生成回路形成領域107とリードアドレスジェネレータ形成領域103との間の配線長は、クロック生成回路形成領域109と

ラッチ形成領域104bとの間の配線長に、実質的に等しくなるように形成されている。さらに、PLL回路形成領域110と各クロック生成回路形成領域107、109との間の配線長も、実質的に等しくなるように形成されている。従って、タイミングクロック $\Phi_3$ 、 $\Phi_5$ には、実質的にスキューが生じない。このため、リードアドレス用ラッチ回路(ラッチ形成領域104b)のホールドタイムのタイミングマージン $\Delta t_0$ (図2参照)を十分に確保することができるので、メモリコアの誤動作を防止することができる。

【0044】また、これと同様にして、タイミングクロック $\Phi_1$ 、 $\Phi_2$ 、 $\Phi_4$ のスキューも実質的に排除することができるので、メモリコア607がライトアドレス信号、書込要求信号或いは入力データ信号を入力するときの誤動作や、ライトアドレスジェネレータ605が書込要求信号を入力するときの誤動作も防止することができる。

【0045】このように、この実施の形態に係る半導体記憶装置によれば、タイミングクロック $\Phi_1$ ~ $\Phi_5$ に生じるスキューを低減して誤動作を防止することができる。この発明の発明者の試作によれば、従来はスキューの最大値が581[ps]であったのに対し、この実施の形態では470[ps]となり、約19%の改善を図ることができた。

#### 【0046】第2の実施の形態

次に、第2の発明に係る半導体記憶装置の実施の形態について、8W1Rマルチポートメモリを例に採り、図3~図5を用いて説明する。

【0047】なお、この実施の形態に係る8W1Rマルチポートメモリの全体構成は図6とはほぼ同様であるので、説明を省略する。

【0048】図3は、図6に示したメモリコア607内部に形成されたメモリセルアレイの構成を概略的に示す回路図である。

【0049】同図に示したように、メモリセルアレイ300は、マトリクス状に配列されたメモリセル301を有しており、各メモリセルはワード線 $W_0$ ~ $W_{n-1}$ およびビット線 $B_0$ ~ $B_{n-1}$ 、 $/B_0$ ~ $/B_{n-1}$ に接続されている。

【0050】各ワード線 $W_0$ ~ $W_{n-1}$ には、リードアドレス用ラッチ回路(図示せず)から、リードアドレス信号RA(0)~RA(m)が供給される。

【0051】センスアンプ303は、タイミングクロック $\Phi_n$ によって活性化され、ビット線 $B_0$ ~ $B_{n-1}$ 、 $/B_0$ ~ $/B_{n-1}$ 上の信号を出力する。

【0052】また、ビット線 $B_0$ ~ $B_{n-1}$ 、 $/B_0$ ~ $/B_{n-1}$ には、反転バッファ302を介して、タイミングクロック $\Phi_n$ が供給される。そして、このタイミングクロック $\Phi_n$ によって、ビット線 $B_0$ ~ $B_{n-1}$ 、 $/B_0$ ~ $/B_{n-1}$ がプリチャージされる。

【0053】ここで、これらのタイミングクロック $\Phi_M$ 、 $\Phi_N$ は、図示しないクロック生成回路によって生成される。

【0054】図4は、かかるクロック生成回路の内部構成を示す回路図である。

【0055】同図に示したように、タイミングクロック $\Phi_M$ としては、タイミングジェネレータ608から入力されたタイミングクロック $\Phi_H$ がそのまま使用される。また、タイミングクロック $\Phi_N$ としては、論理ゲート401の出力信号が使用される。

【0056】ここで、論理ゲート401には、タイミングクロック $\Phi_H$ 、 $\Phi_H$ が入力される。そして、タイミングクロック $\Phi_H$ の反転値とタイミングクロック $\Phi_H$ との論理積を、タイミングクロック $\Phi_N$ として出力する。

【0057】図5は、図3に示したメモリセルアレイ300の読み出し動作を説明するためのタイミングチャートである。

【0058】同図に実線で示したように、タイミングクロック $\Phi_M$ がハイレベルになると、センスアンプ303が活性化されて、 $RDO(j)$  ( $j=0, \dots, m$ ) が出力される。そして、タイミングクロック $\Phi_M$ がローレベルになった後で、タイミングクロック $\Phi_N$ がハイレベルとなって、ビット線 $B_0 \sim B_{n-1}$ 、 $/B_0 \sim /B_{n-1}$ がプリチャージされる。

【0059】ここで、同図に点線で示したように、スキューによって、タイミングクロック $\Phi_M$ がローレベルになる前にタイミングクロック $\Phi_N$ がハイレベルになった場合、センスアンプ303の動作が終了する前にビット線 $B_0 \sim B_{n-1}$ 、 $/B_0 \sim /B_{n-1}$ がプリチャージされてしまい、正確な読み出しを行うことができない(点線B参照)。

【0060】これに対して、この実施の形態では、クロック生成回路(図4参照)を設けて、タイミングクロック $\Phi_M$ がハイレベルの場合はタイミングクロック $\Phi_N$ がハイレベルに立ち上がらないようにしたので、両クロック $\Phi_M$ 、 $\Phi_N$ の重なりを防止してメモリセルアレイ300からの正確な読み出しを行うことができる。

【0061】また、これと同様に、8W1Rマルチポートメモリ内の他の部分についても、タイミングクロックのスキューに起因したクロックの重なり合いによる誤動作を防止することができる。

【0062】このように、この実施の形態に係る8W1Rマルチポートメモリによれば、タイミングクロック $\Phi_M$ 、 $\Phi_N$ に生じるスキューの影響を排除して誤動作を防止することができる。

【0063】

【発明の効果】以上詳細に説明したように、この発明によれば、タイミングクロックのスキューの影響を排除して誤動作を防止することが可能な半導体記憶装置を提供することができる。

10 【図面の簡単な説明】

【図1】第1の実施の形態に係る半導体記憶装置を半導体チップに搭載するときのレイアウトを示す概念図である。

【図2】第1の実施の形態に係る半導体記憶装置の読み出し動作を説明するためのタイミングチャートである。

【図3】第2の実施の形態に係る半導体記憶装置のメモリセルアレイの構成を概略的に示す回路図。

【図4】第2の実施の形態に係るクロック生成回路の内部構成を示す回路図である。

【図5】図3に示したメモリセルアレイの読み出し動作を説明するためのタイミングチャートである。

【図6】従来の半導体記憶装置の構成を概略的に示すブロック図である。

【図7】図6に示した半導体記憶装置を半導体チップに搭載するときのレイアウトを示す概念図である。

【図8】図6に示した半導体記憶装置の書き込み動作を説明するためのタイミングチャートである。

【図9】図6に示した半導体記憶装置の読み出し動作を説明するためのタイミングチャートである。

【符号の説明】

101 多重回路形成領域

102 ライトアドレスジェネレータ形成領域

102a ラッチ形成領域

103 リードアドレスジェネレータ形成領域

103a ラッチ形成領域

104 メモリコア形成領域

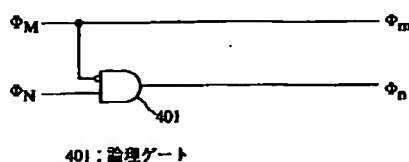
104a, 104b ラッチ形成領域

104c メモリセルアレイ形成領域

105~109 クロック生成回路形成領域

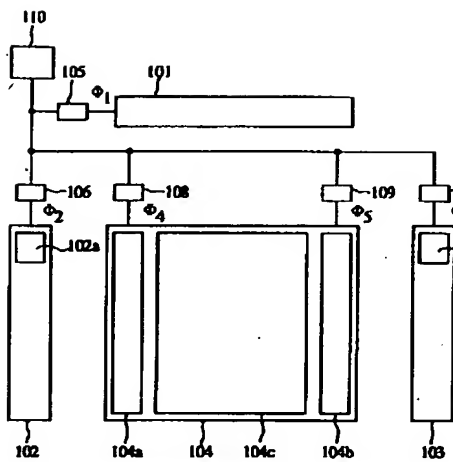
110 PLL回路形成領域

【図4】



第2の実施の形態の構成図(その2)

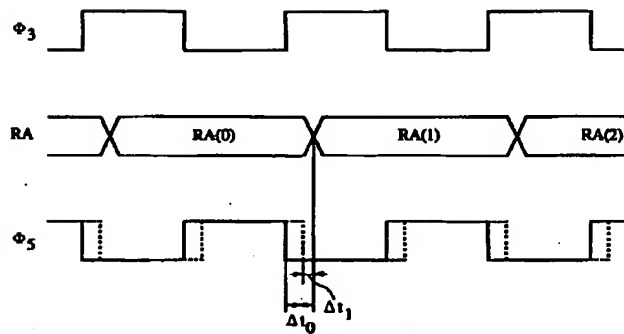
【図1】



- 101 : 多重回路形成領域
- 102 : ライトアドレスジェネレータ形成領域
- 102a : ラッチ形成領域
- 103 : リードアドレスジェネレータ形成領域
- 103a : ラッチ形成領域
- 104 : メモリコア形成領域
- 104a, 104b : ラッチ形成領域
- 104c : メモリセルアレイ形成領域
- 105~109 : クロック生成回路形成領域
- 110 : PLL回路形成領域

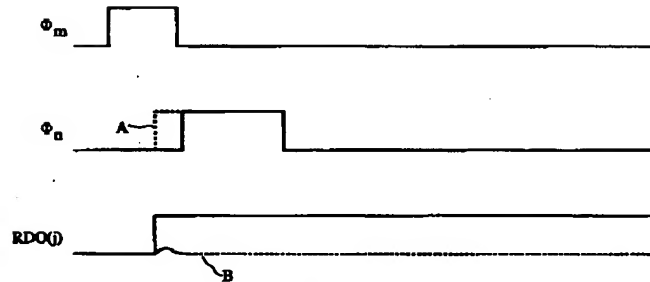
第1の実施の形態の構成図

【図2】



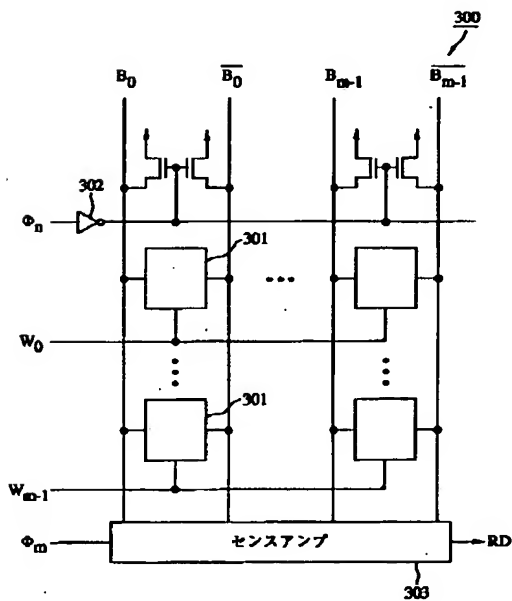
第1の実施の形態の動作説明図

【図5】



第2の実施の形態の動作説明図

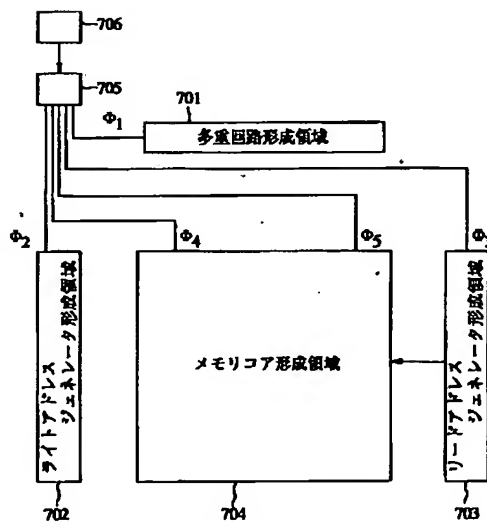
【図3】



- 301 : メモリセル
- 302 : 反転バッファ

第2の実施の形態の構成図 (その1)

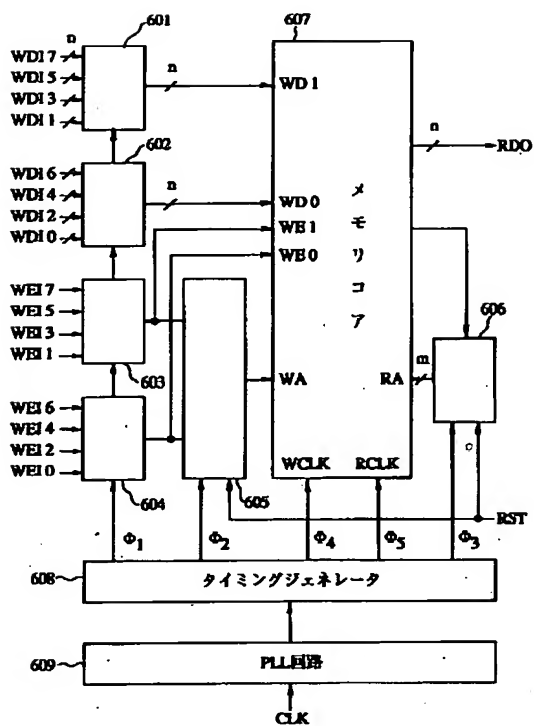
【図7】



従来技術の構成図 (その2)

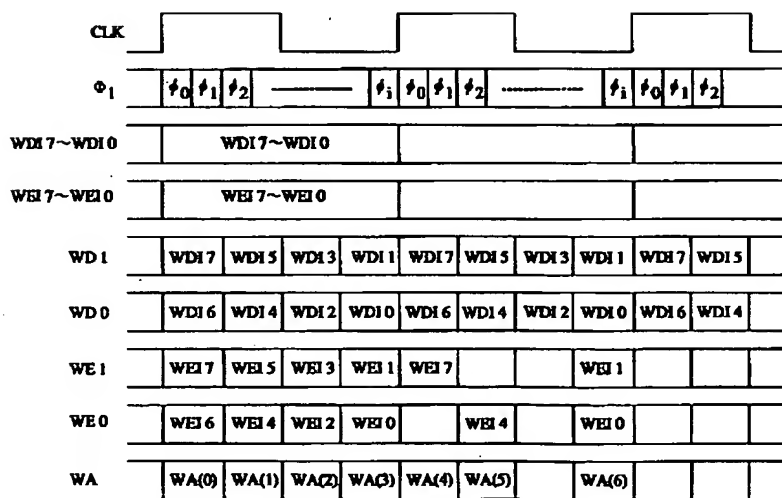


【図6】



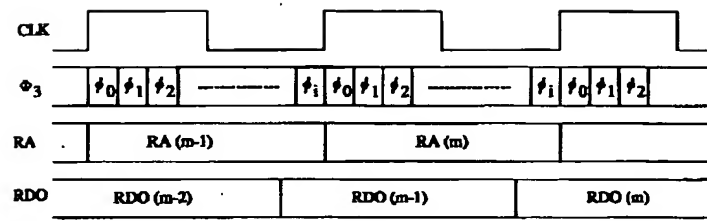
従来技術の構成図 (その1)

【図8】



従来技術の書き込み動作説明図

【図9】



従来技術の読み出し動作説明図